

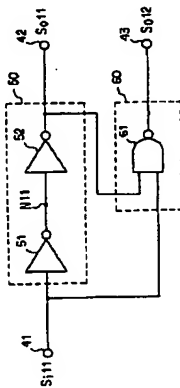
| | | | |
|-------------------------------|---------------------------|---|------------------------|
| (5)Int.Cl. H 0 3 K 5/15 | 成別記号 庁内整理番号 C 7402-5 J | F I | 技術指示箇所 |
| (21)出願番号 特願平4-283345 | 平成4年(1992)10月30日 | (71)出願人 000000285 冲電気工業株式会社 東京都港区虎ノ門1丁目7番12号 | 審査請求 未請求 請求項の数3(全 7 頁) |
| (22)出願日 | | (72)発明者 辻 廣 東京都港区虎ノ門1丁目7番12号 冲電気工業株式会社内 | |
| | | (74)代理人 弁理士 楠本 恭成 | |

(54)【発明の名称】 両相信号発生回路

(57)【要約】 (修正有)

【目的】 正相値号と逆相値号が共に“H”レベルまたは“L”レベルになることを防止する。

【構成】 インポート5 1、5 2及びNAND回路の値を符号変遷時間間を T_1 、 T_2 及び T_3 とする。入力値 S_0 、 S_1 、 S_2 が1のとき、それがインポート5 1、6 2で逐次伝送され、 $T_1 + T_2$ 遅れた“H”の正相値 S_0 、 S_1 となる。逆相値 S_0 、 S_2 は、NAND回路6 1によって $T_1 + T_2 + T_3$ 遅れて“L”となる。入力値 S_1 が“L”になると、逆相値 S_1 、 S_2 は $T_1 + T_2$ 遅れて“H”となった後、正相値 S_0 、 S_1 が $T_2 + T_3$ 遅れて“L”となる。



本発明の第1の実施例の西相番号発生回路

【特許請求の範囲】

【請求項1】 入力端子から入力される入力信号に基づき、相補的な正相信号及び逆相信号を生成し、それらの正相信号を第1及び第2の出力端子から出力する両相信号発生回路において、

所定の信号伝送遅延時間 T を有し、前記入力端子及び第1の出力端子間に直列接続された1段または複数段のインバータからなる第1の論理回路と、

前記信号伝送遅延時間 T と異なる信号伝送時間 T_0 をもち、該第1の論理回路の最終段出力または中間段出力に基づき開閉制御され、前記入力信号を入力して前記第2の出力端子へ出力する第2の論理回路とを、

【請求項2】 前記第1の論理回路は、前記複数段のインバータで構成し、

記第2の論理回路は、前記複数段のインバータの最終出力に基づき開閉制御され、前記入カ信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路で構成したことを特徴とする請求項1記載の両相番号発生回路。

【請求項3】 前記第1の論理回路は、前記複数段のインバータで構成し、

前記第2の論理回路は、前記複数段のインバータの中間出力を反転するインバータと、前記インバータの出力に基づき開閉制御され、前記入力信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路とを特徴とする請求項1記載の両相帰還型発振回路。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、半導体積回路等において、フリップフロップ回路（以下、F Fという）のクロック信号等に用いられる正相信号及び逆相信号からなる両相信号を発生する両相信号発生回路に関するものである。

[0002]

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献：アイイ トランスアクションズ オン マイクロウェーブ セオリー・アンド テクニクス (IEEE TRANS

CTIONS ON MICROWAVE THEORY AND TECHNIQUES) 3.6
[12] (1988-12) IEEE (米) M. TAHASI, H. IT

Y. K. VEDA and R. YAMANOTO "A 9.5 GHz CMOS
シヤリ- アペイラブル 1/4 GaAs ダイナミ

ブック プリスケーラ A 9.5GHzCommercially Available
1/4 GaAs Dynamic Prscaler) " P. 1913-19

114図2は、前記文献に記載された従来の両相信号発生回路の構成例を示す構成図である。この両相信号発生

回路は、例えば9.5GHz程度のダイナミック型ブリ
スクエーラに用いられており、入力信号S₁を入力する

入力端子 1 と、正相信号 S_0 を出力する第 1 の出力端子 2 と、逆相信号 S_0 を出力する第 2 の出力端子 3 とを、有している。入力端子 1 には、第 1 の出力端子 2 が、第 2 の出力端子 3 が接続されている。インバータ 4 は、第 2 の出力端子 3 が接続されている。インバータ 4 は、例えば GaAs を用いた電界効果トランジスタ (以下、FET) と構成されている。

【0003】図3は、図2に示す両相信号発生回路のタイミングチャートであり、この図を参照しつつ、図2の動作を説明する。入力端子1に入力される入力信号S₁が「1」レベルの場合、それがそのまま「1」レベルの正相信号S₁として出力端子2から出力される。さらに、入力信号S₁は、インバータ4で反転され、

“H”レベルの逆相値番号S₀、2が出力端子3から出力される。また、入力値番号S₁が“H”レベルの場合、それら“H”レベルのまま“H”レベルの正相番号S₁として出力される。出力端子2から出力されるインバータ4で反転された“L”レベルの逆相値番号S₀、2が出力端子3から出力される。以上のように、図2の両相値発生回路では、両相値の出力番号S₁を入力することにより、正相番号S₀、1及び逆相番号S₀、2からなる両相値が得られ、このような両相値番号の適用回路例を図4に示す。

【0004】図4は、従来のマスタスレーブ型FFの回路構成図である。このマスタスレーブ型FFは、入力信号INを入力する入力端子11と、出力信号OUTを出力する出力端子12とを有し、これらの間には、同一構成のマスタFF20とマスタFF30が接続されている。マ

スタス F F F 20 は、入力端子 1 と接続点 N 1 との間に挿入された伝送用 E T E 21 を有し、その接続点 N 1 が信号反転用のインバータ 22 を介して接続点 N 2 に接続される。接続点 N 2 は、直列接続された信号反転用インバータ 23 及び伝送用 F E T 24 を介して、接続点 N 2-1 に接続されている。スレーブ F F F 30 は、接続点 N 2 と接続点 N 3 との間に接続された伝送用 F E T 31 を有し、その接続点 N 3 が信号反転用のインバータ 32 を介して接続点 N 4 に接続されている。接続点 N 4 は、直列に接続されたインバータ 33 及び F E T 34 を介して接続点 N 3 に接続されている。F E T 21 及び 31 は、

“H”レベルの正相信号S₀ 1によってオン状態となり、“L”レベルの正相信号S₀ 1によってオフ状態になるトランジスタである。同様に、FET 2及び31は、“H”レベルの逆相信号S₀ 2によってオン状態となり、“L”レベルの逆相信号S₀ 2によってオフ状態になるトランジスタである。

【0005】次に、図4のマスタスレーブ型F Fの動作を説明する。正相信号S₀が「H」レベルで並相信号S₀が「L」レベルの場合、入力信号INが入力端子ET21を介して接点N1を通り、インバータ22で反転された後、接点N2へ送られる。正相信号S₀が「H」レベルで並相信号S₀が「H」レベルの場合、入力信号INが入力端子ET21を介して接点N1を通り、インバータ22で反転された後、接点N2へ送られる。正相信号S₀が「L」レベルで並相信号S₀が「L」レベルの場合、入力信号INが入力端子ET21を介して接点N1を通り、インバータ22で反転された後、接点N2へ送られる。正相信号S₀が「H」レベルで並相信号S₀が「H」レベルの場合、入力信号INが入力端子ET21を介して接点N1を通り、インバータ22で反転された後、接点N2へ送られる。正相信号S₀が「L」レベルで並相信号S₀が「L」レベルの場合、入力信号INが入力端子ET21を介して接点N1を通り、インバータ22で反転された後、接点N2へ送られる。

が「L」レベルで逆相番S₀2が「H」レベルになる
と、接続点N22上の入力番号1Nは、インバータ23で
反転され、オン状態のFET224を介して、接続点N1
へ帰還する。このインバータ22、23及びFET24
の帰還ループにより、入力番号1Nが保持される。ま
た、接続点N22上の入力番号1Nは、インバータで反
転され、接続点N2を通り、オン状態のFET31を介し
て接続点N3へ送られる。接続点N3上の入力番号1N
は、インバータ32で反転された後、接続点N4へ送ら
れ、出力番号OUTとして出力端子12から出力され
る。正相番番S₀1が「H」レベルで、逆相番番S₀2
が「L」レベルになると、接続点N4上の入力番号1N
は、インバータ33で反転され、オン状態のFET34
を介して接続点N3へ帰還する。このようなインバー
タ32、33及びFET34の帰還ループにより、入力番
号1Nが保持される。

【発明が解決しようとする課題】しかしながら、従来の図2のような両相信号発生回路では、次のような課題がある。従来の両相信号発生回路は、インバータ2の信号伝達遅延時間 t_{d2} があるため、逆相信号 S_1 が正相信号 S_0 の1に比べ該信号伝達遅延時間 t_{d2} だけ遅れ、共に“H”レベルまたは“L”レベルになるという問題があった。例えば、9.5GHz程度のダイナミック型プログラクセスケール等に用いられる両相信号発生回路では、信号伝達遅延時間 t_{d2} を短くする必要があるが、その遅延時間を零にすることはできない。そのため、このような正相信号 S_0 、1及び逆相信号 S_2 で動作する図4のマスタースレーブ型FFでは、正相信号 S_0 、1と逆相信号 S_2 が短い時間でも共に“L”レベルになると、接続点N1及びN2の電位が不安定になって誤動作の原因となる。

“し”レベルになるということが問題になるが、それと逆に、共に“H”レベルになることが問題になる回路もある。従って、従来の両相信号発生回路では、その用途上の制限を受けることとなる。本発明は、前記従来技術が持っていた課題として、正相信号と逆相信号の立ち上がり及び立ち下りについて解決した両相信号発生回路を提供するものである。

【課題を解決するための手段】第１の発明は、前記課題を解決するために、入力端子から入力される入力信号に、両極性正相帰波及び逆相帰波を生成し、それらと異なる周波数の第１及び第２の出力端子から送出する両相帰波信号を第１および第２の出力端子から出力する。通信信号発生回路において、次のような手段を設けている。即ち、第１の発明では、所定の倍周伝送遅延時間 T を有し、前記入力端子及び第１の入力端子間に入直列接続された１段または複数段のインバータからなる第１の増幅回路と、前記倍周伝送遅延時間 T と異なる倍周伝送遅延時間 T' を有し、前記入力端子及び第２の入力端子間に入直列接続された１段または複数段のインバータからなる第２の増幅回路と、前記第１の増幅回路の出力端子と前記第２の増幅回路の出力端子との間に接続された抵抗素子とを備える。

延時間 T_0 を有し、該第1の論理回路の最終段出力または中間段出力に基づき開閉制御され、前記入カ信号を入力して前記第2の出力端子へ出力する第2の論理回路とを、設けている。

【0009】第2の発明は、第1の発明の第1の論理回路を、前記インバータで構成し、第2の論理回路を、前記インバータの最終段出力カラムに基づき開閉制御され、前記入力信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路で構成されている。第3の発明は、第1の発明の第1の論理回路を、前記インバータで構成し、第2の論理回路を、前記インバータの中間段出力カラムに基づき開閉制御され、前記入力信号を入力して前記第2の出力端子へ出力するNAND回路またはNOR回路とで構成されている。

[0010]

【作用】第 1 の発明によれば、以上のように両相信号発生回路を構成したとき、入力信号が第 1 の論理回路に入力されると、該入力信号が 1 段または複数段のインバータによって逐次反転された後、信号伝達遅延時間 T₁ だけ遅れて、例えば反相信号が第 1 の出力端子から出力される。第 2 の論理回路は、前記インバータの最終段または中級段出力に基づき略断制御され、前記入力信号を入力して信号伝達遅延時間 T₂ だけ遅れて、例えば逆相信号が第 2 の出力端子から出力される。第 2 の発明では、入力信号が第 1 の論理回路に入力されると、この入力信号が 1 段または複数段のインバータによって逐次反転された後、信号伝達遅延時間 T₁ だけ遅れて、例えば正相信号が前記第 1 の出力端子から出力される。NAND 回路または NOR 回路で構成された第 2 の論理回路は、前記複数段のインバータの最終段出力によって閉路制御され、前記入力信号を入力して信号伝達遅延時間 T₂ だけ遅

る。第3の発明では、入力信号が第1の論理回路に入力されると、該入力信号が1段または複数段のインバータによって逐次反転されると、信号伝達遅延時間T₁だけ遅れて、例えば正相信号が第1の出力端子から出力される。前記複数段のインバータの中間段出力は、第2の論理回路内のインバータで反転された後、NAND回路またはNOR回路が設けられる。このNAND回路またはNOR回路を通った入力信号は、信号伝達遅延時間T₂だけ遅れて、例えば逆相信号が第2の出力端子から出力される。従って、前記問題を解決できるのである。

【0011】

【实施例】

第1の実施例

図 1 は、本発明の第 1 の実施例を示す両相信号発生回路の構成図である。この両相信号発生回路は、入力信号 S₁、S₂ を入力する入力端子 41 と、正相信号 S₀、11 及び逆相信号 S₀、12 をそれぞれ出力する第 1、第 2 の出

入力端子4 2、4 3とも、有している。入力端子4 1と第1 1の出力端子4 2との間には、入力信号 S_{11} のタイミング調整を行う第1の処理回路5 0が接続され、さらに入力端子4 1と第1の出力端子4 3との間にも、逆相信号 S_{01} のタイミング調整を行う第2の処理回路6 0が接続されている。第1の処理回路5 0は、入力端子4 1に接続されたインバータ5 1を有し、そのインバータ5 1の出力側に接続点N 1が、インバータ5 2を介して第1の出力端子4 2に接続されている。第2の処理回路6 0は、2入力のNAND回路6 1で構成され、その一方の入力側が入力端子4 1に、他方の入力側が第1の出力端子4 2に、出力側が第2の出力端子4 3に、それぞれ接続されている。また、本実施例では、インバータ5 1、5 2及びNAND回路6 1の信号伝達遅延時間を、それぞれ T_{11} 、 T_2 及び T_3 とし、入力信号 S_{11} とそれ相違信号 S_{01} の2つの位相差が $T_{11} + T_2$ ($= T_{12}$)に等しく、 $T_{11} + T_2 > T_3$ ($= T_{13}$)という条件に設定されている。

【0012】図5は、図1の両相信号発生回路のタイミングチャートであり、この図5を参照しつつ、図1の動作を説明する。なお、入力信号 S_0 1 1と正相信号 S_0 1 1及び逆相信号 S_0 1 2の論理関係はT_Hとする。入力値 S_0 1 1をカOUNTER 4 1から入力すると、該カOUNTER 4 1がインクリメント5 1、5 2によって逐次反転された後、正相信号 S_0 1 1が出力端子4 2から出力される。正相信号 S_0 1 1がNAND回路6 1に入力されると、該NAND回路6 1では、入力信号 S_0 1 1と S_0 1 2の否定論理積を求め、逆相信号 S_0 1 2を出力端子4 3へ出力する。

【0013】ここで、入力信号 S_i 、 i が“H”レベルとなつた場合、遅延時間 $T_1 + T_2$ 遅れて正相信号 S_o 、 i が“H”レベルとなる。逆相信号 S_o 、 i は、入力信号 S_i 、 i と正相信号 S_o 、 i とを入力したNAND回路61により、入力信号 S_i 、 i が“H”レベルと不同路61より、入力信号 S_i 、 i が“H”レベルと不同路61より遅延時間 $T_1 + T_2 + T_3$ 遅れて“L”レベルとなる。入力信号 S_i 、 i が“L”レベルになった場合、逆相信号 S_o 、 i が遅延時間 T_3 だけ遅れて“H”レベルとなった後、正相信号 S_o 、 i が遅延時間 $T_1 + T_2 - T_3$ 遅れて“L”レベルとなる。以上のように、本実施例では、正相信号 S_o 、 i と逆相信号 S_o 、 i が同時に“L”レベルになることがない。そのため、このように正相信号 S_o 、 i 及び逆相信号 S_o 、 i を用いて、例えば図4のようなスタスタスレベル型F/Fを動作させては、該スタスタスレベル型F/Fの誤動作を的確に防ぐことができる。従つて、本実施例を符号発生回路の適用可能な回路構成と拡大できる。

【0014】第2の実施例

図6は、本実施例の第2の実施例を示す両相信号発生回路の構成図であり、第1の実施例を示す図1中の要素と共通の要素には共通の符号が付されている。この両相信

号発生回路では、図1の第2の論理回路60が、構成要素異なる第2の論理回路60Aで構成されている。他の構成要素は、図1の構成図と同一である。第2の論理回路60Aは、図1のNAND回路61及びインバータ62で構成されている。2入力のNAND回路61は、一方の入力入力関が入力端子41に接続され、他方の入力関が接続点N11に接続されている。接続点N11と2入力のNAND回路61の一方の入力関との間には、インバータ62が接続されている。本実施例では、インバータ51、52、6及びNAND回路62の信号伝達遅延時間 T_1 、 T_2 、 T_3 及び T_4 とし、それぞれ $T_1 = T_2 = T_3 = T_4 = T_0$ とする。この場合、図1の信号伝達遅延時間の相互関係は $T_1 < T_2 + T_3$ 、 $T_2 < T_1 + T_3$ 、 $T_3 < T_1 + T_2$ 、 $T_4 = T_1$ 、 $T_4 = T_2$ 、 $T_4 = T_3$ という条件に設定されている。

【0015】次に、動作を説明する。入力信号 S_{11} 、 S_{12} 、 S_{13} を入力端子41から入力すると、振入力信号 S_{11} が図1と同様にインバータ51、52によって逐次反転された後、正相信号 S_{11} から出力端子42から出力がされる。また、接続点N11から出力された反転信号がインバータ62で再び反転された後、NAND回路61に入力されると、振NAND回路61では、入力信号 S_{11} 、 S_{12} との否定論理和を求め、逆相信号 S_{12} を出力端子43から出力する。このような動作と設定された条件に「H」レベル及び「L」レベルの出力状態は、第1の実施例とほぼ等価となる。以上のように、本実施例では、正相信号 S_{11} と逆相信号 S_{12} が同時に「L」レベルとなることがない。従って、第1の実施例と同様に両相発生回路の通用可能な回路駆動を拡大できる。また、インバータ52のファンアウト数が減少することにより、正相信号 S_{11} の駆動能力の低下を防止できる。

【0016】第3の実施例

図7は、本発明の第3の実施例を示す両相信号発生回路の構成図であり、第1の実施例を示す図1中の要素と共通の要素には図1中の要素と同一の符号がつけられている。この両相信号発生回路では、図1の第2の論理回路6.0が、他の構成要素異なる第2の論理回路7.0で構成されている。他の構成要素は図1の構成図と同一である。第2の論理回路7.0は、2入力NOR回路7.1で構成されている。2入力のNOR回路7.1は、一方の入力側が入力端子4.1に接続され、他方の入力側が出力端子4.2に接続されたとされている。本実施例では、インバータ5.1、5.2とNOR回路7.1の構成要素並列接続時をそれぞれ T_1 、 T_2 及び相相が $T_1 + T_2$ と正相信号 S_0 の1.2の位相相が $T_1 + T_2$ に等しく、 $T_1 + T_2 > T_3$ という条件に設定されている。

【0017】図9は、図7の両相信号発生回路のタイミングチャートであり、この図9を参照しつつ、図7の動作を説明する。入力値 S_i 11を入力端子41から入力すると、核入力値 S_i 11が図11と同様にインバー

タ51、52によって逐次反転された後、正相信号 S_0 、11が出力端子42から出力される。正相信号 S_0 、11がNOR回路71に入力されると、該NOR回路71では、入出力信号 S_1 、11との否定論理和を求め、逆相信号 S_0 、12を出力端子43へ出力する。ここで、入出力信号 S_1 、11が“H”レベルとなった場合、遅延時間 T_1 遅れて逆相信号 S_0 、12が“L”レベルとなる。逆相信号 S_0 、12が“L”レベルとなった後、遅延時間 $T_1 + T_2$ 遅れて正相信号 S_0 、11が“H”レベルとなる。

【0018】次に、入出力信号 S_1 、11が“L”レベルとなった場合、正相信号 S_0 、11が遅延時間 $T_1 + T_2$ 遅れて“L”レベルとなり、逆相信号 S_0 、12が遅延時間 $T_1 + T_2 + T_3$ 遅れて“H”レベルとなる。以上のように、本実施例では、正相信号 S_0 、11と逆相信号 S_0 、12が同時に“H”レベルになることがない。そのため、第1の実施例及び第2の実施例の他にも、通用可能な回路範囲を拡大できる。また、NOR回路で第2の論理回路70を構成することにより、図1の第2の論理回路60のNAND回路に比べ、回路の構成要素数を低減できる。

【0019】第4の実施例

図8は、本発明の第4の実施例を示す両相信号発生回路の構成図であり、第2の実施例を示す図6中の要部と共通の要素には共通の符号が付されている。この両相信号発生回路では、図6の第2の論理回路60Aが構成の異なる第2の論理回路70Aで構成されている。他の構成は、図6の構成と同一である。第2の論理回路70Aは、2入力のNOR回路71及びインバータ72で構成されている。2入力のNOR回路72の一方の入力側が入出力端子41に接続され、他方の入力側が接続点N11に接続されている。接続点N11と2入力のNOR回路72の一方の入力側との間には、インバータ72が接続されている。また、本実施例はインバータ51、52、72及びNOR回路71の信号伝達遅延時間をそれぞれ T_1 、 T_2 、 T_3 及び T_4 とし、それぞれの信号伝達遅延時間の相互関係を $T_2 < T_3 + T_4$ と $T_1 = T_3$ という条件に設定されている。

【0020】次に、動作を説明する。入出力信号 S_1 、11を入力端子41から入力すると、該入出力信号 S_1 、11が図6と同様にインバータ51、52によって逐次反転された後、正相信号 S_0 、11が出力端子42から出力される。また、接続点N11から出力された反相信号が、インバータ72で再び反転された後、NOR回路71に入力されると、該NOR回路71では、入出力信号 S_1 、11との否定論理和を求め、逆相信号 S_0 、12を出力端子43へ出力する。このような動作と、設定された条件により“H”レベル及び“L”レベルの出力状態は、第3の実施例とほぼ同様となる。従って、本実施例は、正相信号 S_0 、11と逆相信号 S_0 、12が同時に“L”レベルと

なることがない。これにより、第3の実施例と同様に第1の実施例及び第2の実施例の他にも、通用可能な回路範囲を拡大できる。また、インバータ52のファンアウト数が減少することによって、第2の実施例と同様に正相信号 S_0 、11の駆動能力の低下を防止できると共に、NOR回路で第2の論理回路70Aを構成することにより、図1の第2の論理回路60のNAND回路に比べ回路の構成要素数を低減できる。

【0021】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) インバータ51、52は、例えば2入力のNAND回路またはNOR回路に変えてもよい。この場合、NAND回路またはNOR回路の一方の入力側は、“H”レベルまたは“L”レベルに固定する。

(b) 図6のインバータ52を省略してNAND回路61をAND回路に変えたり、あるいは図8のインバータ52を省略し、NOR回路71をOR回路に変えることにより、回路構成数を少なくすることができる。

(c) 第1の論理回路50と第2の論理回路60、60A、70及び70Aは、前記(a)、(b)以外のゲート回路等で構成してもよい。

【0022】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第1、第2の論理回路の信号伝達遅延時間を、 T_1 と T_2 とそれぞれ異なる時間に設定したので、次のような効果がある。

- (i) 第1、第2の論理回路の信号伝達遅延時間 T_1 、及び T_2 により、第1、第2の出力端子からの出力が、例えば同時に“L”レベル信号または“H”レベル信号の立ち上り及び立ち下りが重複することを防止できる。
- (ii) 従来技術では、正相信号と逆相信号の間に時間的なズレがあったが、本発明では第2の論理回路の周波数制御により、時間的なズレを防止し、同一タイミングで出力することができ。
- (iii) 第2の論理回路の入力側を第1の論理回路の中間段出力とすることにより、第2の出力端子の駆動能力の低下を防止することができる。

【0023】第2の発明によれば、第2の論理回路をNAND回路またはNOR回路で構成したので、比較的簡単な回路によって第1の発明の(i)及び(ii)の効果を得ることができる。第3の発明によれば、第2の論理回路の入力を、第1の論理回路のインバータの中間段出力としたので、第2の発明の効果を得られ、さらにファンアウト数を少なくすることができ、第1の発明の(ii)の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す両相信号発生回路の構成図である。

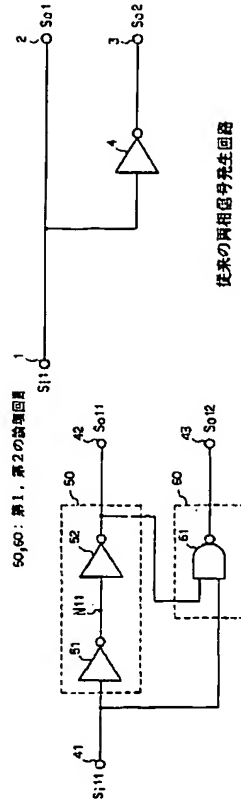
【図2】従来の両相信号発生回路の構成図である。

- 【図3】図2のタイミングチャートである。
 【図4】アウタースレーブ型FFの回路図である。
 【図5】図1のタイミングチャートである。
 【図6】本発明の第2の実施例を示す両相信号発生回路の構成図である。
 【図7】本発明の第3の実施例を示す両相信号発生回路の構成図である。
 【図8】本発明の第4の実施例を示す両相信号発生回路の構成図である。
 【図9】図7のタイミングチャートである。
 【符号の説明】

【図1】

【図2】

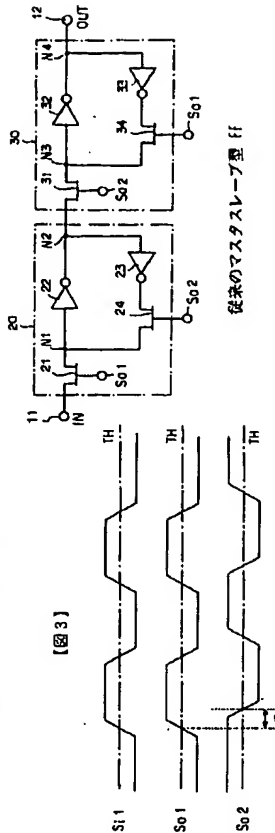
50: 第1、第2の論理回路



従来の両相信号発生回路

本発明の第1の実施例の両相信号発生回路

【図4】



従来のマスタスレーブ型 FF

図2のタイミングチャート

【図5】

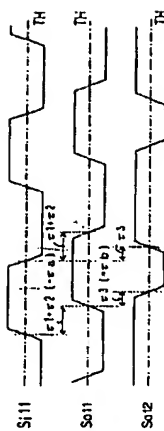
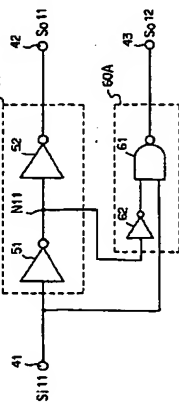


図1のタイミングチャート

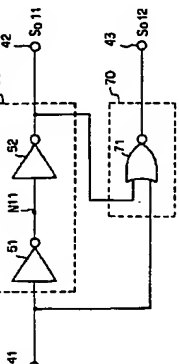
【図6】

60A：第2の論理回路



【図7】

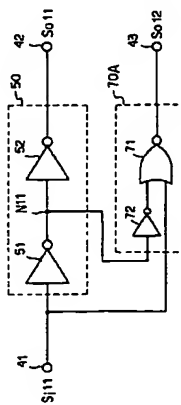
50,70：第1、第2の論理回路



本発明の第2の実施例の異相信号発生回路

本発明の第3の実施例の両相信号発生回路

【図8】



【図9】

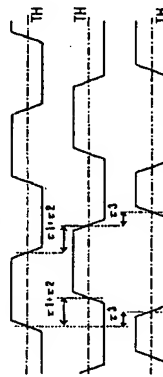


図7のタイミングチャート

70A：第2の論理回路

本発明の第4の実施例の両相信号発生回路